

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-293938

(43)Date of publication of application : 11.11.1997

(51)Int.Cl. H05K 1/02

(21)Application number : 08-221503

(71)Applicant : HITACHI LTD  
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 22.08.1996

(72)Inventor : KANNO TOSHIO  
TSUKUI SEIICHIRO  
TOKIDA KENSUKE

(30)Priority

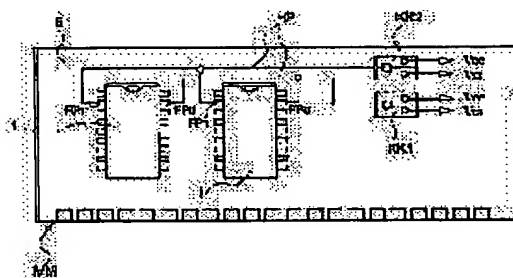
Priority number : 08 37764 Priority date : 26.02.1996 Priority country : JP

## (54) MEMORY MODULE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To arbitrarily switch the function and the word structure of a semiconductor device at a package outside part.

SOLUTION: In a memory module MM, a function switching devices KK1 and KK2, with which the function switching signals inputted to function switching pins FP0 and FP1 of a memory 1 are arbitrarily switched, are provided on a module wiring board 5. The function switching signals are arbitrarily switched from nonconnection, source voltage Vcc or grounding potential Vss by the function switching devices KK1 and KK2, the function switching signals are collectively inputted to all the mounted memories 1, and the function consisting of a read-out system and a fresh cycle is switched and arbitrarily set.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



第1の接続部と前記第3の接続部との間に導通手段を実装するいは実装を省略し、前記機能切り換え用外部端子に入力される機能切り換え信号を一括して切り換える手段であることを特徴とするメモリモジュール。

【請求項14】 請求項12記載のメモリモジュールにおいて、前記機能切り換え手段によって切り換えられる前記半導体装置の機能が、読み出し方式であることを特徴とするメモリモジュール。

【請求項15】 請求項12記載のメモリモジュールにおいて、前記機能切り換え手段によって切り換えられる前記半導体装置の機能が、リフレッシュサイクルであることを特徴とするメモリモジュール。

【請求項16】 請求項12記載のメモリモジュールにおいて、前記機能切り換え手段によって切り換えられる前記半導体装置の機能が、読み出し方式およびリフレッシュサイクルであることを特徴とするメモリモジュール。

【請求項17】 請求項12記載のメモリモジュールにおいて、前記機能切り換え手段が、前記専用プリント配線基板に実装することにより、前記機能切り換え用外部端子に入力される機能切り換え信号が、前記機能切り換え用外部端子に入力される機能切り換え信号と、前記機能切り換え用外部端子に入力される機能切り換え信号とを有するメモリモジュール。

【請求項18】 ワード構成切り換え用外部端子に入力されたワード構成切り換え信号に基づいて所定のワード構成の切り換えを行う半導体装置と、複数のワード構成に対応する複数の専用プリント配線基板とを有し、前記複数の専用プリント配線基板から、要求される前記半導体装置のワード構成に対応する1つの前記専用プリント配線基板を選択する工程と、

選択された前記専用プリント配線基板に前記半導体装置を実装する工程とを有することを特徴とするメモリモジュールの製造方法。

【請求項19】 ワード構成切り換え用外部端子に入力されたワード構成切り換え信号に基づいてワード構成の切り換えを行い、機能切り換え用外部端子に入力された機能切り換え信号に基づいて機能の切り換えを行う半導体装置と、導通手段を実装するいは実装を省略することにより前記機能切り換え用外部端子に入力する任意の機能切り換え信号を選択する機能切り換え手段が設けられ、複数のワード構成に対応する複数の専用プリント配線基板とを有し、前記複数の専用プリント配線基板から、要求される前記半導体装置のワード構成に対応する1つの前記専用プリント配線基板を選択する工程と、

選択された前記専用プリント配線基板に前記半導体装置を実装する工程と、前記導通手段を実装するいは実装を省略し、任意の機能を選択的に切り換えを行う工程とを有することを特徴とするメモリモジュールの製造方法。

で詳しく述べてある例としては、1990年8月30日、日刊工業新聞社発行、鈴木八十二（編著）「半導体MOSメモリとその使い方」P114～P126があり、この文獻には、メモリ拡張用DRAMポートの回路構成や動作などが記載されている。

【0007】  
【発明が解決しようとする課題】ところで、上記のようなメモリモジュールでは、次のような問題点があることが本発明者により見出された。

【0008】パーソナルコンピュータなどの拡張用メモリとして使用されるメモリモジュールに用いられるメモリは、各種の機能切り換えを有しているが、モジュール配線基板に実装されたメモリモジュールでは、機能切り換えを行うことができないので各機能別にメモリモジュールの組立を行っている、生産の自由度が低下してしまうという問題がある。

【0009】本発明の目的は、各々の機能およびワード構成をパッケージ外部で任意に切り換えることのできるメモリモジュールおよびその製造方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】  
【課題を解決するための手段】本明細書において開示される発明のうち、代表的なものの特徴を簡単に説明すれば、以下のとおりである。

【0012】すなわち、本発明のメモリモジュールは、機能切り換え信号の状態により機能の切り換えが行われる機能切り換え用外部端子を有した半導体装置と、少なくとも1個の前記半導体装置が実装され、前記機能切り換え用外部端子に入力される任意の機能切り換え信号を選択する機能切り換え手段が設けられたプリント配線基板とを有するものである。

【0013】また、本発明のメモリモジュールは、前記機能切り換え手段が、プリント配線基板に設けられ、プリント配線基板に実装された半導体装置の機能切り換え用外部端子と電気的に接続された第1の接続部と、プリント配線基板に設けられ、電源電圧に接続された第2の接続部と、プリント配線基板に設けられ、基準電位に接続された第3の接続部とを備え、第1の接続部と第2の接続部との間または第1の接続部と第3の接続部との間に導通手段を実装するいは実装を省略し、機能切り換え用外部端子に入力される機能切り換え信号を一括して切り換える手段よりなるものである。

【0014】さらに、本発明のメモリモジュールは、前記機能切り換え手段が、プリント配線基板のコーナー部またはその近傍に配置したものである。

【0015】また、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる半導体装置の

機能が、読み出し方式よりなるものである。  
【0016】さらに、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる半導体装置の機能が、リフレッシュサイクルよりなるものである。  
【0017】また、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる半導体装置の機能が、読み出し方式およびリフレッシュサイクルよりなるものである。

【0018】さらに、本発明のメモリモジュールは、前記半導体装置に、ワード構成切り換え信号の状態によりワード構成の切り換えが行われるワード構成切り換え用外部端子を設け、前記プリント配線基板に、予め設定されたワード構成切り換え信号をワード構成切り換え用外部端子に入力するワード構成制御回路を設けたものである。

【0019】また、本発明のメモリモジュールは、ワード構成切り換え信号の状態によりワード構成の切り換えを行うワード構成切り換え用外部端子を設けた半導体装置と、少なくとも1個の半導体装置が実装され、切り換えられた半導体装置のワード構成に対応する専用の配線が設けられた専用プリント配線基板とよりなるものである。

【0020】さらに、本発明のメモリモジュールは、前記専用プリント配線基板に、ワード構成切り換え用外部端子に入力される任意のワード構成切り換え信号を選択するワード構成切り換え手段が設けられたものである。

【0021】また、本発明のメモリモジュールは、前記ワード構成切り換え手段が、専用プリント配線基板に設けられ、半導体装置を実装することにより所定のワード構成切り換え信号がワード構成切り換え用外部端子に入力され、所定のワード構成の切り換えが行われるワード構成制御回路よりなるものである。

【0022】さらに、本発明のメモリモジュールは、前記ワード構成切り換え手段が、専用プリント配線基板に設けられ、専用プリント配線基板に実装された半導体装置のワード構成切り換え用外部端子と電気的に接続された第4の接続部と、専用プリント配線基板に設けられ、電源電圧に接続された第5の接続部と、専用プリント配線基板に設けられ、基準電位に接続された第6の接続部とを備え、第4の接続部と第5の接続部との間または第4の接続部と第6の接続部との間に導通手段を実装するいは実装を省略し、ワード構成切り換え用外部端子に入力されるワード構成切り換え信号を一括して切り換える手段よりなるものである。

【0023】また、本発明のメモリモジュールは、前記半導体装置に、機能切り換え信号の状態により機能の切り換えが行われる機能切り換え用外部端子を設け、前記専用プリント配線基板に、機能切り換え用外部端子に入力される任意の機能切り換え信号を選択する機能切り換え手段が設けられたものである。

【0024】さらに、本発明のメモリモジュールは、前

7

記憶能切り換え手段が、専用プリント配線基板に設けられ、専用プリント配線基板に実装された半導体装置の機能切り換え用外部端子と電気的に接続された第1の接続部と、専用プリント配線基板に設けられ、電源電圧に接続された第2の接続部と、専用プリント配線基板に設けられ、基準電位に接続された第3の接続部とを備え、第1の接続部と第2の接続部との間または第1の接続部と第3の接続部との間に導通手段を具備あるいは実装を省略し、機能切り換え用外部端子に入力される機能切り換え信号を一括して切り換える手段よりなるものである。

【0025】また、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる半導体装置の機能が、読み出し方式よりなるものである。

【0026】さらに、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる前記半導体装置の機能が、リフレッシュサイクルよりなるものである。

【0027】また、本発明のメモリモジュールは、前記機能切り換え手段によって切り換えられる半導体装置の機能が、読み出し方式およびリフレッシュサイクルよりなるものである。

【0028】さらに、本発明のメモリモジュールは、前記機能切り換え手段が、専用プリント配線基板に接続され、半導体装置を実装することにより所定の機能切り換え信号が機能切り換え用外部端子に入力されて、所定の機能の切り換えを行う機能設定配線よりなるものである。

【0029】また、本発明のメモリモジュールの製造方法は、ワード構成切り換え用外部端子に入力されたワード構成切り換え信号に基づいて所定のワード構成に切り換えを行う半導体装置と、複数のワード構成に対応する複数の専用プリント配線基板とを用意し、複数の専用プリント配線基板から、要求される半導体装置のワード構成に対応する1つの専用プリント配線基板を選択する工程と、選択された専用プリント配線基板に半導体装置を実装する工程とを有したものである。

【0030】さらに、本発明のメモリモジュールの製造方法は、ワード構成切り換え用外部端子に入力されたワード構成切り換え信号に基づいてワード構成の切り換えを行い、機能切り換え用外部端子に入力された機能切り換え信号に基づいて機能の切り換えを行う半導体装置と、導通手段を具備あるいは実装を省略することにより機能切り換え用外部端子に入力する任意の機能切り換え信号を選択する機能切り換え手段が設けられ、複数のワード構成に対応する複数の専用プリント配線基板とを用意し、複数の専用プリント配線基板から、要求される半導体装置のワード構成に対応する1つの専用プリント配線基板を選択する工程と、選択された専用プリント配線基板に半導体装置を実装する工程と、導通手段を具備あるいは実装を省略し、任意の機能を選択的に切り換

8

える工程とを有したものである。

【0031】また、本発明のメモリモジュールの製造方法は、ワード構成切り換え用外部端子に入力されたワード構成切り換え信号に基づいて所定のワード構成の切り換えを行い、機能切り換え用外部端子に入力された機能切り換え信号に基づいて所定の機能の切り換えを行う半導体装置と、複数のワード構成ならびに複数の機能の切り換えに対応する複数の専用プリント配線基板とを用意し、複数の専用プリント配線基板から、要求される1つの専用プリント配線基板を選択する工程と、選択された専用プリント配線基板に半導体装置を実装する工程とを有したものである。

【0032】以上のことにより、半導体装置の製造工程の効率を向上させることができ、且つ製品管理も容易となり、コストも低減することができる。

【0033】

【発明の実施の形態】以下、本発明の実施の形態を図1に基づいて詳細に説明する。

【0034】(実施の形態1) 図1は、本発明の実施の形態1によるメモリモジュールの構成説明図、図2は、本発明の実施の形態1によるメモリの内部接続を示す説明図、図4は、本発明の実施の形態1によるメモリの機能切り換えの説明図、図5は、本発明の実施の形態1によるメモリの内部接続を示す説明図、図6は、本発明の実施の形態1によるメモリモジュールの構成説明図、図7は、本発明の実施の形態1によるメモリモジュールの構成説明図、図8は、本発明の実施の形態1によるメモリの機能切り換えを行うジャンパの実装例を示す説明図、図9は、本発明の実施の形態1によるメモリモジュールのプロックダイアグラム図である。

【0035】本実施の形態1において、表面実装パッケージの1種であるTCP (Tape Carrier Package) 形のDRAM半導体装置からなるメモリ1は、図1に示すように、半導体チップ2の中央部に設けられた電極であるボンディングパッドB Pが配置されている。

【0036】また、メモリ1は、たとえば、ポリイミドからなるフィルム3の上面にリードとなる前導の配線4が繰り返して形成されたテープキャリアに前述した半導体チップ2が搭載された構造となっている。

【0037】そして、半導体チップ2に設けられたボンディングパッドB Pは、テープキャリアに形成された配線4の先端部のインナリード4 aとそれぞれ電気的に接続が行われている。さらに、インナリード4 aが直交して後述するモジュール配線基板に接続されたランナード4 bの外部接続電極と電気的に接続されるアウトナード4 bとなっている。

10

【0038】また、半導体チップ2およびインナリード4 aが、たとえば、エポキシ樹脂によって封止されてパッケージが形成され、パッケージから突出した個々のリードは、略クランク形状に屈曲形成されている。

【0039】次に、メモリ1は、図2に示すように、たとえば、総ピン数は28ピンにより構成され、機能の切り換えを行うボンディングパッドB P 1、B P 0と接続された2、27ピンのアウトナード4 bが機能切り換え用ピン(機能切り換え用外部端子) F P 1、F P 0として設けられている。

【0040】また、メモリ1には、ワード構成を切り換えるボンディングパッドB P 3、B P 2が設けられ、これらボンディングパッドB P 3、B P 2に入力される信号の状態により、任意にワード構成が切り換えられることになる。

【0041】さらに、図2において、I/O 0はデータ入力用のピン、WEはアクセスがリードからライトかを指定する信号用のピン、A 0～A 11はアドレス入力用のピン、RAS、CASは行と列の選択信号用のピン、OEはリード時にデータ出力信号、データ出力信号の状態を制御する信号用のピン、Vccは電源電圧Vcc用のピンおよびVssは基準電位であるグラウンド電圧Vss用のピンとなっている。

【0042】次に、メモリ1における内部接続構造について、図3を用いて具体的に説明する。

【0043】まず、メモリ1は、半導体チップ2に設けられたボンディングパッドB Pの内、2、27ピンの機能切り換え用ピンF P 1、F P 0と電気的に接続されている電極である機能切り換え用のボンディングパッドB P 1、B P 0、ワード構成を切り換えるボンディングパッドB P 3、B P 2ならびに、14ピンの電源電圧Vcc用の配線4および15、28ピンのグラウンド電位用の配線4のみの配置を示している。

【0044】ここで、メモリ1において、機能とは、リフレッシュ動作のサイクルであるリフレッシュサイクルならびにFAST PAGEとEDOからなる読み出し方式をいう。

【0045】そして、図4に示すように、メモリ1は、リフレッシュサイクルの切り換え、FAST PAGEとEDOとの読み出し方式の切り換えおよび4 M×1ビット、4 M×4ビット、4 M×8ビットの3種類のワード構成の切り換えを行うことができる。

【0046】また、メモリ1におけるこれら機能の切り換えは、図3に示す半導体チップ2の所定の位置に設けられた機能切り換え用のボンディングパッドB P 1、B P 0の接続先、すなわち、2、27ピンの機能切り換え用ピンF P 0、F P 1に電源電圧Vcc、グラウンド電圧Vssまたはノンコンネクトから選択された機能切り換え信号を入力し、それらの機能切り換え信号を前述した図4に示すように読み合わせるにより行う。

【0047】さらに、ワード構成を切り換えるボンディングパッドB P 3、B P 2の接続先は、テープキャリアに形成されたインナリード4 aの配線によって予め決定されており、図2に示すように、本実施の形態のメモリ1においては、ボンディングパッドB P 3、B P 2は、どこにも接続されていないノンコンネクトとなっている。

【0048】よって、メモリ1のワード構成は、図4に示すように、ボンディングパッドB P 3、B P 2が、ノンコンネクト(図4では'OPEN'と示す)であるのことで、4 K×4ビットのワード構成が自動的に選択されていることになる。

【0049】また、図4より、機能切り換え用ピンF P 0に入力される機能切り換え信号をどこにも接続しない、ノンコンネクト(図4では'OPEN'と示す)とし、機能切り換え用ピンF P 1に入力される機能切り換え信号を電源電圧Vccとすると、メモリ1は、リフレッシュサイクルが2とサイクル、読み出し方式がFAST PAGEと異なる機能が選択されることになる。

【0050】ここで、図5を用いてメモリ1の機能切り換えおよびワード構成の切り換えを行う方法について説明する。また、図5は、実際の実装配置を説明するものではなく、メモリモジュールMMにおけるメモリ1の接続状態を模式的に示したものである。

【0051】まず、図5のメモリモジュールMMにおいて、メモリ1を実装するモジュール配線基板(プリント配線基板) 5には、メモリ1の機能切り換え用ピンF P 0に入力される機能切り換え信号を任意に切り換える機能切り換え手段K K 1ならびにメモリ1の機能切り換え用ピンF P 1に入力される機能切り換え信号を任意に切り換える機能切り換え手段K K 2が設けられている。

【0052】また、機能切り換え信号は、ノンコンネクト、電源電圧Vccまたはグラウンド電位Vssのいずれから選択された信号となっている。

【0053】さらに、モジュール配線基板5に実装されたすべてのメモリ1の機能切り換え用ピンF P 0、F P 1は、それぞれ機能切り換え手段K K 1、K K 2に接続されるように配線パターンH Pによって配線が施されている。

【0054】そして、これら機能切り換え手段K K 1、K K 2によって前述した機能切り換え信号を任意に切り換え、実装されている全てのメモリ1に一括して入力し、図4に示す読み出し方式およびリフレッシュサイクルからなる機能に切り換えを行い、任意に設定することができる。

【0055】次に、前述した機能切り換え手段K K 1、K K 2を実装に附け、機能の切り換えを行うメモリモジュールを図6、図7を用いて具体的に説明する。

【0056】まず、図6に示すように、表面実装パッケージであるTCP形のメモリ1(図2)を実装し、所定のメモリモジュールを構成するメモリモジュールにおいて、メ

ランド電圧Vssに配線パターンを介して電気的に接続されている。

【0065】そして、ランドL4とランドL5との間まはランドL4とランドL6との間に後述する導通用チップを実装するいは実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0066】また、機能切り換え手段KK2は、これらランドL4～L6ならびに導通用チップによって構成される導通用チップを実装するモジュール配線基板5のランドL1～L3、L4～L6は、前述したように、モジュールI/O端子MTが位置していない一方の長辺側のコーナ近傍に設けられているので金線カーズなどによってケージングされたメモリモジュールMであって導通用チップの着脱を容易に行うことができる。

【0067】そして、図7に示すように、このモジュール配線基板5にメモリ1やチップ部品などを実装することによって、いわゆる、8バイトDIMM (Dual In-line Memory Module) であるメモリモジュールMが構成されることになる。

【0068】ここで、図7において、メモリ1の切り換えは、ワード構成が、予め4M×4ビットに設定され、機能の切り換えが、機能切り換え用ピンFP0、FP1、FP2とされるが、読み出し方式がFAST P A G Eとなるように選択されるものとする。

【0069】前述したように、リフレッシュサイクルを2トサイクル、読み出し方式をFAST P A G Eとする場合、図4から、機能切り換え用ピンFP0に入力される機能切り換え信号はノンコネク、機能切り換え用ピンFP1に入力される機能切り換え信号はノンコネク、機能切り換え用ピンFP2に入力される機能切り換え信号は電源電圧Vccに接続されている。

【0070】そして、モジュール配線基板5の表面5aおよび裏面5bは、配線パターンが形成されてお、こ

れらの配線パターンによって各々のランドならびにモジュールI/O端子MTが所定の接続先にそれぞれ電気的に接続されている。

【0071】また、ランドL1は、実装されるすべてのメモリ1の機能切り換え用ピンFP0が重なるランドL2は配線パターンを介して電源電圧Vccに電気的に接続され、ランドL3は配線パターンを介してランドL1とランドL2との間に後述する導通用チップを実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0072】また、機能切り換え手段KK1、KK2は、図8に示すように、すべてのメモリ1の機能切り換え用ピンFP1に電源電圧Vccを供給する場合、モジュール配線基板5のランドL6はグ

ランドL6はグ

ランドL6はグ

6)のランドL4とランドL5との間に導通用チップJ Cを実装するだけよいことになる。

【0074】ここで、このメモリモジュールMにおける結構状態を図9のブロックダイアグラムに示す。図9に示すように、すべてのメモリ1の機能切り換え用ピンFP1、FP0に入力される機能切り換え信号は、機能切り換え手段KK1、KK2によって一括して選択的に切り換えられることになる。

【0075】次に、メモリモジュールMが、SODI MM (Small Outline Dual In-line Memory Module) により構成されている場合の実装例を図10に示す。

【0076】この場合も同様、モジュール配線基板5の表面5aおよび裏面5bにそれぞれ所定の電圧のTC P形のメモリ1が実装されて所定のメモリ構成を構成しており、メモリ1は、二段重ねに実装された層構造とな

【0077】また、モジュール配線基板5の表面5aにおける一方の長辺のコーナ近傍には、前述した8バイトDIMMのメモリモジュールと同様に、メモリ1に設けられた機能切り換え用ピンFP0、FP1に機能切り換え信号の状態を切り換える後述する導通用チップを実装するランドL1、L3、L4、L5が設けられてい

【0078】そして、ランドL1は、実装されるすべてのメモリ1の機能切り換え用ピンFP0が重なるランドと所定の配線パターンによって電気的に接続され、ランドL3は配線パターンを介してランドL1とランドL5に電気的に接続されている。

【0079】また、ランドL4は、実装されるすべてのメモリ1の機能切り換え用ピンFP1が重なるランドと所定の配線パターンによって電気的に接続され、ランドL5は電源電圧Vccに配線パターンを介して電気的に接続されている。

【0080】そして、ランドL1とランドL3との間、あるいはランドL4とランドL5との間に導通用チップを実装するいは実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0081】さらに、ジャンパや抵抗などのチップ部品である導通用チップJ Cを実装するモジュール配線基板5のランドL1、L3あるいはランドL4、L5は、図10に示すように、モジュールI/O端子MTが位置していない一方の長辺側のコーナ近傍に設けられ、金線カーズなどによってケージングされたメモリモジュールMであって導通用チップの着脱を容易に行うことができ

【0082】また、SODIMMにより構成されたメモリモジュールに用いられるモジュール配線基板5は、図11(a)～(e)に示す規格によって形成されている

【0083】さらに、メモリモジュールMにおける結構状態を図12のブロックダイアグラムに示す。

【0084】図12に示すように、すべてのメモリ1の機能切り換え用ピンFP1に入力される機能切り換え信号は、電源電圧Vccまたはノンコネクのいずれかを、すべてのメモリ1の機能切り換え用ピンFP0に入力される機能切り換え信号は、機能切り換え手段KK1によって一括して選択的に切り換えられ、機能切り換え手段KK2によって一括して機能切り換え用ピンFP1の機能切り換え信号は、ランド電圧Vssまたはノンコネクのいずれかを機能切り換え手段KK2によって一括して選択的に切り換えられる。

【0085】よって、機能切り換え用ピンFP0の入力コネク、機能切り換え手段KK1、KK2は、図12では'OFF'と示す場合、読み出し方式はFAST P A G Eのモードとなり、機能切り換え用ピンFP0の入力がランド電圧Vcc (図12では'ON'と示す) の場合、読み出し方式はEDOのモードとなる。

【0086】また、機能切り換え用ピンFP1の入力がノンコネクの場合、リフレッシュサイクルは4Kサイ

【0087】たとえば、読み出し方式をEDOのモード、リフレッシュサイクルを4Kサイクルとする場合、機能切り換え用ピンFP0の入力がランド電圧Vssとなり、機能切り換え用ピンFP1の入力がノンコネクとすればよいので、図10に示すように、ランドL1とランドL3との間に導通用チップJ Cを実装し、ランドL4、L5には導通用チップJ Cの実装を省略すればよいことになる。

【0088】ここでは、機能切り換え信号を電源電圧Vccまたはノンコネクのいずれかまたはランド電圧Vssまたはノンコネクのいずれかを機能切り換え手段KK1、KK2によって選択的に切り換えたが、機能切り換え手段KK1、KK2は電源電圧Vcc、ランド電圧Vssまたはノンコネクから選択する構成とし、それらの機能切り換え信号を組み合わせるメモリ1における機能の切り換えを行うこともできる。

【0089】それにより、本実施の形態1によれば、以下の効果を得ることができる。

【0090】(1) 機能切り換え手段KK1、KK2によって実装されたすべてのメモリ1の機能切り換えを一括して切り換えることができるので、メモリモジュールMの機能切り換えを短時間で容易に行うことができる。

【0091】(2) メモリモジュールMの組み立て仕様を共通化することができるので、製品の開発効率を向上でき、製品管理も容易に行うことができる。

【0092】(3) 機能切り換え手段KK1、KK2をモジュール配線基板5のコーナ部またはその近傍に設け

ることにより、製品として完成したメモリモジュールであっても、容易に短時間でメモリ1の機能切り換えの作業を行うことができ、生産性の自由度を大幅に向上させることができる。

【0093】(実施の形態2) 図13は、本発明の実施の形態2によるメモリのピン配置図、図14～図16は、本発明の実施の形態2によるメモリを構成したメモリモジュールの縦断説明図である。

【0094】本実施の形態2においては、表面実装パッケージの類であるTCP形のDRAM半導体素子を用いたメモリ1が、図13に示すように、たとえば、36ピンの総ピン数により構成され、機能の切り換えを行うピン（ワード構成切り換え用外部端子）FP3、FP2、FP0として設けられ、入力される機能切り換え信号の状態により任意の機能切り換えられる。

【0095】また、メモリ1aには、ワード構成切り換え用ピン（ワード構成切り換え用外部端子）FP3、FP2、FP0と接続された17、20ピンのアウトプットがワード構成切り換え用ピン（ワード構成切り換え用外部端子）FP3、FP2として設けられており、これらに入力されるワード構成切り換え信号の状態により、任意のワード構成切り換えられる。

【0096】さらに、メモリ1aにおいて、I/O～I/O7はデータ入出力用のピン、WEはアクセスがリードからライトかを指定する信号用のピン、A0～A11はアドレス入出力用のピン、RAS、CASは行と列の選択信号用のピン、OEはリード時にデータ出力信号、データ出力の信号の状態を制御する信号用のピン、Vccは電源電圧Vcc用のピンおよびVssは基準電位であるグラウンド電位のピンとなっている。

【0097】次に、メモリ1aにおける内部接続構造について具体的に説明する。

【0098】まず、メモリ1aは、たとえば、前記した図4に示すように、リフレッシュ動作のサイクルであるリフレッシュサイクルの切り換え、FAST PAGEとEDOとの読み出し方式の切り換えからなる機能の切り換えを機能切り換え用ピンFP1、FP0に入力される機能切り換え信号に基づいて任意の行うことができ、4M×1ビット、4M×4ビット、4M×8ビットの3種類のワード構成の切り換えをワード構成切り換え用ピンFP3、FP2に入力されるワード構成切り換え信号によって行うことができる。

【0099】また、メモリ1aにおけるこれら機能の切り換えは、図13に示す2、35ピンの機能切り換え用ピンFP1、FP0に機能切り換え信号となる電源電圧Vcc、グラウンド電位Vssまたはノンコネクタから選択された信号を入力し、それらを図4に示すように組み合わせることにより行う。

【0100】さらに、メモリ1aのワード構成の切り換

えも、同様、ワード構成を切り換える17、20ピンのワード構成切り換え用ピンFP3、FP2に、ワード構成切り換え信号となる電源電圧Vcc、グラウンド電位Vssまたはノンコネクタから選択された信号を入力し、それらを図4に示すように組み合わせることにより行う。

【0101】ここで、図14～図17を用いてメモリ1aの機能切り換えおよびワード構成の切り換えを切り換える方法について説明する。また、図11～図17は実際の実施断面を説明するものではなく、メモリモジュールにおけるメモリ1aの接続状態を模式的に示したものである。

【0102】まず、図14において、メモリ1aの実装基板には、予め所定のワード構成に対応する配線が施され、専用のモジュール配線基板（専用プリント配線基板）6が用いられる。

【0103】また、モジュール配線基板6には、機能切り換え用ピンFP1、FP0およびワード構成切り換え用ピンFP3、FP2が設けられたメモリ1aが実装されている。

【0104】さらに、モジュール配線基板6は、所定のワード構成が設定されるように、メモリ1aのワード構成切り換え用ピンFP3、FP2にノンコネクタ、電源電圧Vccまたはグラウンド電位Vssにおける所定のワード切り換え信号が入力される配線パターン（ワード構成設定配線）HP1の配線が施されている。

【0105】また、モジュール配線基板6には、メモリ1aの機能切り換え用ピンFP0に入力されるノンコネクタ、電源電圧Vccまたはグラウンド電位Vssから選択された機能切り換え信号を任意に切り換える機能切り換え手段KK1ならびにメモリ1aの機能切り換え用ピンFP1に入力され、同じくノンコネクタ、電源電圧Vccまたはグラウンド電位Vssのいずれから選択される機能切り換え信号を任意に切り換える機能切り換え手段KK2が設けられている。

【0106】そして、モジュール配線基板6に実装されたすべてのメモリ1aの機能切り換え用ピンFP0、FP1は、それぞれ機能切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が施されている。

【0107】よって、これら機能切り換え手段KK1、KK2によって前述した機能切り換え信号を任意に切り換え、図4に示す読み出し方式およびリフレッシュサイクルからなる機能を任意に切り換えることができる。

【0108】それにより、機能切り換え手段KK1、KK2によって、メモリ1aに実装前であっても実装後であっても任意にメモリ1aの機能を切り換えて設定変更することができる。

【0109】次に、図15においては、メモリ1aを実

装する専用のモジュール配線基板6に任意のワード構成が設定されるように、メモリ1aのワード構成切り換え用ピンFP3、FP2に、ノンコネクタ、電源電圧Vccまたはグラウンド電位Vssのいずれからワード構成切り換え信号として任意に切り換えるワード構成切り換え手段KK1、KK2が設けられている。

【0110】また、モジュール配線基板6には、同様、メモリ1aの機能切り換え用ピンFP0、FP1に前述した機能切り換え信号を任意に切り換える機能切り換え手段KK1、KK2が設けられている。

【0111】そして、モジュール配線基板6に実装されたすべてのメモリ1aの機能切り換え用ピンFP0、FP1は、それぞれ機能切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が施され、すべてのメモリ1aのワード構成切り換え用ピンFP2、FP3は、それぞれワード構成切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が施されている。

【0112】よって、これら機能切り換え手段KK1、KK2によって機能切り換え信号を任意に切り換え、図4に示す読み出し方式およびリフレッシュサイクルからなる機能を任意に切り換えて設定する。

【0113】また、モジュール配線基板6に対応したワード構成にメモリ1aが切り換わり設定されるようにワード構成切り換え手段KK1、KK2によってワード構成切り換え信号を切り換える。

【0114】それにより、機能切り換え手段KK1、KK2およびワード構成切り換え手段KK1、KK2によって、メモリ1aの実装前であっても実装後であっても任意にメモリ1aの機能ならびにワード構成を切り換えて設定変更することができる。

【0115】また、モジュール配線基板6にワード構成を切り換えるワード構成切り換え手段KK1、KK2の機能の切り換えは、予め所定の機能が切り換えられて設定されるように実装されるメモリ1aの機能切り換え用ピンに所定の機能切り換え信号が入力される配線パターン（ワード構成設定配線）HP1の配線が施されている。

【0116】この場合も、切り換えて設定されるワード構成および機能に対応する専用のモジュール配線基板が用意され、この専用のモジュール配線基板にメモリ1aが実装されることになる。

【0117】次に、図16においては、メモリ1aを実装する専用のモジュール配線基板6に予め設定されたワード構成切り換え信号がワード構成切り換え用ピンFP3、FP2に入力されるように配線された配線パターンHP1ならびに予め設定された機能切り換え信号が機能切り換え用ピンFP1、FP0に入力されるように配線されている。

【0118】そして、予め所定の機能および所定のワード構成が切り換えられて設定された専用のモジュール配線基板6を選択し、選択したモジュール配線基板6にメモリ1aを実装することにより、自動的にメモリ1aの機能およびワード構成の切り換えが行われ、設定されることになる。

【0119】また、前述した機能切り換え手段KK1は、メモリ1aに設けられた機能切り換え用ピンFP0（図13）に機能切り換え信号の状態を切り換える導通用チップおよびその導通用チップを実装する実装ランドによって構成されている。

【0120】さらに、これらの実装ランドは、機能切り換え用ピンFP0が重合するランドと所定の配線パターンによって電気的に接続された機能ランド、配線パターンを介して電源電圧Vccに電気的に接続された電源ランドならびに配線パターンを介してグラウンド電位Vssに電気的に接続されたグラウンドランドにより構成されている。

【0121】同様、機能切り換え手段KK1も、メモリ1aに設けられた機能切り換え用ピンFP1（図13）に機能切り換え信号の状態を切り換える導通用チップおよびその導通用チップを実装する実装ランドによって構成されており、これら実装ランドは、機能切り換え用ピンFP1が重合するランドと所定の配線パターンによって電気的に接続された機能ランド、配線パターンを介して電源電圧Vccに電気的に接続された電源ランドならびに配線パターンを介してグラウンド電位Vssに電気的に接続されたグラウンドランドにより構成されている。

【0122】そして、機能ランドと電源ランドとの間または機能ランドとグラウンドランドとの間に導通用チップを実装するいは実装するのを省略し、電源電圧Vcc、グラウンド電位Vssまたはノンコネクタのいずれかを任意に選択して機能切り換え信号としてメモリ1aに入力し、機能切り換えを選択的に一括して行う。

【0123】次に、前述したワード構成切り換え手段KK1は、メモリ1aに設けられたワード構成切り換え用ピンFP2（図13）に機能切り換え信号の状態を切り換える導通用チップ（導通手段）およびその導通用チップを実装する実装ランドによって構成されている。

【0124】さらに、これらの実装ランドは、ワード構成切り換え用ピンFP2が重合するランドと所定の配線パターンによって電気的に接続されたワードランド（第4の接続部）、配線パターンを介して電源電圧Vccに電気的に接続された電源ランド（第5の接続部）ならびに配線パターンを介してグラウンド電位Vssに電気的に接続されたグラウンドランド（第6の接続部）により構成されている。

【0125】また、ワード構成切り換え手段KK2も、メモリ1aに設けられたワード構成切り換え用ピンFP



【0135】たとえば、CSP形のメモリ1bにおいては、図17に示すように、所定のピンが、機能の切り換えを行う機能切り換え用ピンFP1、FP0ならびにワード構成を切り換えるワード構成切り換え用ピンFP3、FP2として割り付けられる。

【0136】また、これらメモリ1bを実装するモジュール配線基板には、同様に、機能切り換え手段、ワード構成切り換え手段が設けられ、機能切り換え用ピンFP1、FP0に機能切り換え信号を入力し、ワード構成切り換え用ピンFP3、FP2にワード構成切り換え信号を入力することによって、任意に機能およびワード構成の切り換えを行うことができる。

【0137】次に、たとえば、SOJ形のメモリ1cにおいては、図18に示すように、所定のピンが、機能の切り換えを行う機能切り換え用ピンFP1、FP0ならびにワード構成を切り換えるワード構成切り換え用ピンFP3、FP2として割り付けられ、それら機能切り換え用ピンFP1、FP0ならびにワード構成切り換え用ピンFP3、FP2が、それぞれ半導体チップ2に設けられたボンディングパッドである所定の機能切り換え用パッドBP1、BP0、ワード構成切り換え用パッドBP3、BP2とボンディングワイヤWによって電気的に接続されている。

【0138】また、メモリ1cを実装するモジュール配線基板には、同様に、機能切り換え手段、ワード構成切り換え手段が設けられ、機能切り換え用ピンFP1、FP0に機能切り換え信号を入力し、ワード構成切り換え用ピンFP3、FP2にワード構成切り換え信号を入力することによって、任意に機能およびワード構成の切り換えを行うことができる。

【0139】以上、本発明者によってなされた発明を本発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0140】たとえば、前記実施の形態1、2では、機能切り換え信号、ワード構成切り換え信号は、機能切り換え手段やワード構成切り換え手段によって一括してメモリモジュールに実装されたすべてのメモリに供給されたうえで、一括してメモリモジュールに実装されたすべてのメモリに機能切り換え信号、ワード構成切り換え信号を供給するのではなく、2、3層のメモリ毎に機能切り換え手段、ワード構成切り換え手段を設けるようにしてもよい。

【0141】また、前記実施の形態1、2においては、チップ部品であるジャンパや抵抗などの導通用チップを選択的に着脱して接続を切り換えていたが、モジュール配線基板に、たとえば、EEPROM (Electrically Erasable Programmable Read Only Memory) などの半

導体装置を用いて、メモリの機能切り換え用ピンに入力される機能切り換え信号やワード構成切り換え用ピンに与えられるワード構成切り換え信号を選択して切り換えるようにしてもよい。

【0142】この場合、EEPROMの所定のピンは、モジュール配線基板に実装されている各々のメモリの機能切り換え用ピンと配線パターンにより電気的に接続が行われている。

【0143】また、EEPROMには、予めそれぞれそのメモリが、所定の機能となるようにプログラムが入力されており、EEPROMは、そのプログラムに基づいて機能切り換え用ピン、ワード構成切り換え用ピンと接続されている所定のピンの電気的なレベルを電源電圧、ランド電位あるいはノンコネクットのいずれかにすることにより、メモリの機能、ワード構成の切り換えを行う。【0144】さらに、前記実施の形態1、2では、機能切り換え用ピン、ワード構成切り換え用ピンをノンコネクットとする場合、その機能切り換え用ピンと接続されている導通用チップを実装したが、ノンコネクットとなる機能切り換え用ピン、ワード構成切り換え用ピンをパッケージ端子からリード切断工程で切り落とし、メモリを実装するランドと接続しないことによりノンコネクット状態としてもよい。

【0145】また、前記実施の形態1、2において、メモリの機能の切り換えは、リフレッシュサイクルならびにFAST PAGEとEDOからなる読み出し方式であったが、たとえば、DRAM動作モードやシンクロナスDRAM動作モードの切り換えなどさまざまな切り換えを機能切り換え手段によって外部から行うようにしてもよい。

【0146】【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0147】(1) 本発明によれば、メモリモジュールの組立仕掛を共通化でき、半導体装置の機能別の管理を不要とすることができる。

【0148】(2) また、本発明では、メモリモジュールの完成後であっても半導体装置の機能を任意に切り換えることができるので、プリント配線基板の仕様を統一でき、仕様変更などにもフレキシブルに対応することができ、

【0149】(3) さらに、本発明においては、ジャンパまたは抵抗などの導通手段を選択的に着脱することにより、低コストで容易に半導体装置の機能を切り換えることができる。

【0150】(4) また、本発明によれば、上記(1)～(3)により、半導体装置の製品開発の効率ならびに生産性を大幅に向上させることができ、且つ製品管理を容易にさせることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1によるメモリの裏面の構造説明図である。

【図2】本発明の実施の形態1によるメモリのピン配線図である。

【図3】本発明の実施の形態1によるメモリの内部接続を示す説明図である。

【図4】本発明の実施の形態1によるメモリの機能およびワード構成の切り換えの説明図である。

【図5】本発明の実施の形態1によるメモリを実装したメモリモジュールの縦断説明図である。

【図6】本発明の実施の形態1によるメモリを実装するモジュール配線基板の配線図である。

【図7】本発明の実施の形態1によるメモリを実装したモジュール配線基板の実装図である。

【図8】本発明の実施の形態1によるメモリの機能切り換えを行うジャンパの実装例を示す説明図である。

【図9】本発明の実施の形態1によるメモリモジュールのプロットダイアグラム図である。

【図10】本発明の他の実施の形態によるメモリを実装したモジュール配線基板の実装図である。

【図11】(a)～(e)は、本発明の他の実施の形態によるモジュール配線基板の規格図である。

【図12】本発明の他の実施の形態によるメモリモジュールのプロットダイアグラム図である。

【図13】本発明の実施の形態2によるメモリのピン配線図である。

【図14】本発明の実施の形態2によるメモリを実装したメモリモジュールの縦断説明図である。

【図15】本発明の実施の形態2によるメモリを実装したメモリモジュールの縦断説明図である。

【図16】本発明の実施の形態2によるメモリを実装したメモリモジュールの縦断説明図である。

【図17】本発明の他の実施の形態によるメモリのピン配線図である。

【図18】本発明の他の実施の形態2によるメモリの内部接続を示す説明図である。

#### 【符号の説明】

1 メモリ

1a メモリ

1b メモリ

1c メモリ

2 半導体チップ

3 フィルム

4 配線

4a インナリード

4b アウタリード

5 モジュール配線基板 (プリント配線基板)

5a 表面

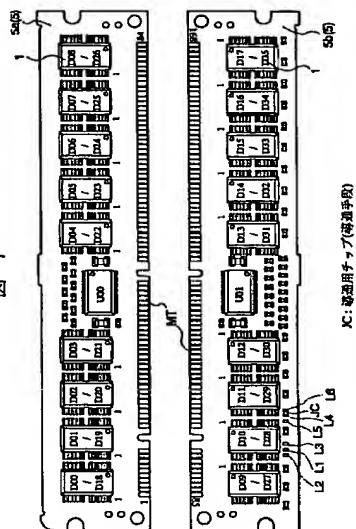
5b 裏面





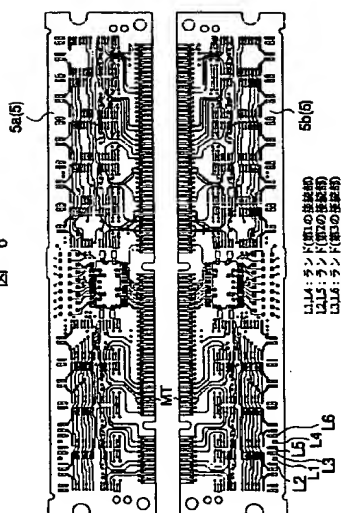
【図7】

図 7



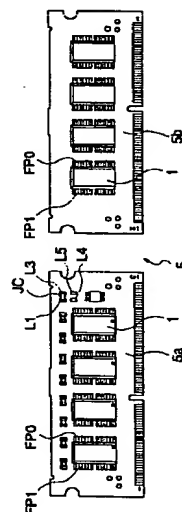
【図6】

図 6



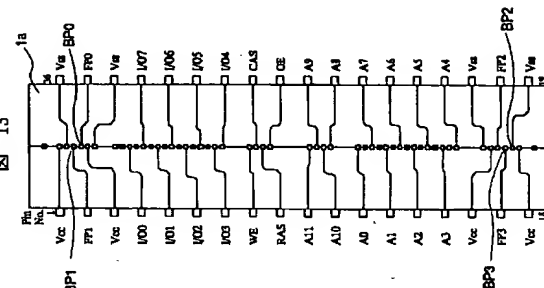
【図10】

図 10



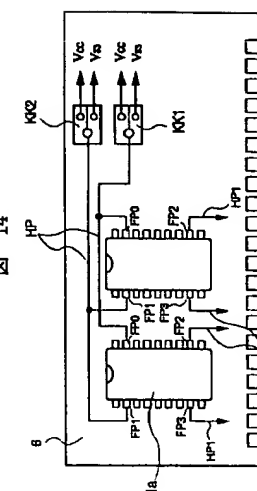
【図13】

図 13



【図14】

図 14



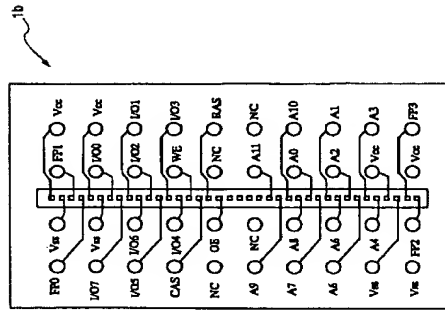
1: メモリ  
5: モジュール記憶装置(メモリバンク記憶装置)  
6: 制御マイクロプロセッサ(マイクロプロセッサ)  
14, 15: 電源用チップ(電源手段)





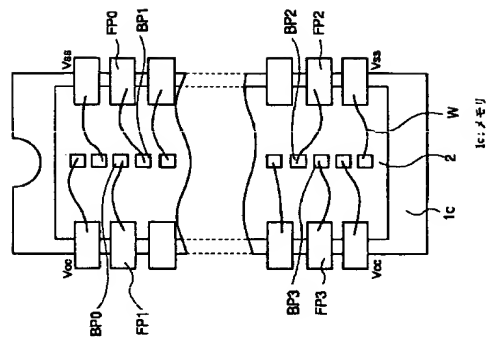
【図17】

図 17



【図18】

図 18



フロントページの続き

(72) 発明者 常田 健祐  
東京都小平市上水本町五丁目10番1号 株  
式会社日立製作所半導体専業部内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☒ **OTHER:** Small writing

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**